

行政院國家科學委員會專題研究計畫成果報告

相鎖迴路中的濾波器設計

On the Filter Design of Phase-Locked Loops

計畫編號：NSC 90-2213-E-032-008

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

主持人：周永山 淡江大學電機系助理教授

一、中文摘要

本計畫研究鎖相迴路中濾波器的設計問題。首先我們使用圖解法來探討是否存在傳統一階濾波器使鎖相迴路能同時滿足各項預設性能要求。在有多個可行解的情形下,選擇最佳的濾波器係數以加強鎖相性能的強健性。另外我們也探討了迴路中有放大器以及使用較高階的濾波器的情形。

關鍵詞：鎖相迴路,濾波器設計,強健性

Abstract

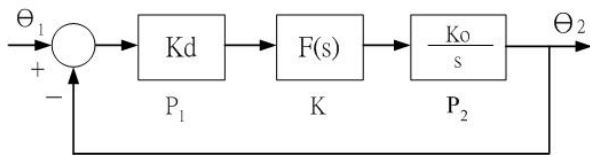
This project investigates the filter design problem of phase-locked loops. First we use a graphical method to investigate whether there exists a conventional first-order filter with which the phase-locked loop would meet simultaneously several prescribed performance requirements. Under the premise that there exist several feasible solutions to the design problem we select the best set of filter coefficients in order to enhance the robustness of phase-locked performance. Cases involving loop amplifiers and the employment of higher-order filters will also be discussed.

Keywords: Phase-locked loops, filter design, robustness

二、緣由與目的

鎖相迴路自它的發明以來,在通訊領域[2-4]及伺服馬達控制[2,5-7]上有極為廣泛的應用,例如通訊系統中的頻率解調器或相位解調器[3],全球衛星定位系統的接收器[4],磁碟機中的時脈回復電路[5],伺服馬達及驅動器的速度控制[6,7]等等。在這些系統或裝置中,鎖相迴路都扮演著非常重要的角色。而近代積體電路實現技術的進步,更精密更可靠的元件不斷地問世,使得應用鎖相迴路的產品的性能更加地精準、更可靠。肇因於此,鎖相迴路的重要性不言而喻,而其本身的研究與革新更顯得格外重要。本計畫研究相鎖迴路中濾波器的設計問題。現存相關文獻很多,然而泰半都著重在分析問題,例如迴路的時間延遲、非線性特性對於鎖相性能的影響[9, 10],或提供一種設計方法來滿足單一或少數的性能要求,例如好的穩態相位追蹤能力[3,5,8,11,13],大的鎖定範圍[13,14],短暫的鎖定時間[15],或噪音降低[12,14,15]等等。因此本計畫

將就現有鎖相迴路架構，如圖一



圖一 鎖相迴路線性模型

探討同時滿足上述各項性能指標的設計的可能性,並且在有多個可行解的情形下,提供一套有系統的設計方法,加強其鎖相性能的強健性。這在實際製造技術的精密度要求上有著重要涵義,亦即若製造技術的精密度能將濾波器的係數控制在某個誤差範圍內,則製造出來的系統會具有預設的性能。另外我們也探討迴路中有放大器[8]以及使用較高階濾波器的情形。

三、研究方法與成果

首先我們討論使用傳統的一階濾波器的情形。在這種情形下,鎖相迴路的性能指標與濾波器係數的關係有明確公式可循,據此我們可利用圖解法來探究是否存在傳統的一階濾波器使鎖相迴路能同時滿足各項性能要求。而在有多個可行解的情形下,選擇最佳的濾波器係數以加強鎖相性能的強健性。三種傳統的鎖相迴路濾波器轉移函數分別描述如下[1]

(1) 被動式延遲濾波器(passive lag filter)

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)}$$

其中 $\tau_1 = R_1 C$, $\tau_2 = R_2 C$ 。

(2) 主動式延遲濾波器(active lag filter)

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1}$$

其中 $k_a = \frac{-c_1}{c_2}$, $\tau_1 = R_1 C_1$, $\tau_2 = R_2 C_2$,

而且 $\tau_1 > \tau_2$ 。

(3) 主動式比例積分濾波器(active PI filter)

$$F(s) = \frac{1 + s\tau_2}{s\tau_1}$$

其中 $\tau_1 = R_1 C$, $\tau_2 = R_2 C$ 。

就迴路的穩定性而言,只要係數 τ_1 及 τ_2 皆為正數即可使迴路穩定。若再加上高迴路增益的設計,則上述三種迴路濾波器皆可使鎖相迴路具有近似完美追蹤步階以及斜坡訊號的能力(亦即消弭相位誤差及頻率誤差,使壓控振盪器的輸出訊號與輸入訊號同步的能力)。以下以被動式延遲濾波器為例,列出其係數 τ_1 及 τ_2 與鎖相迴路其他性能指標的關係式

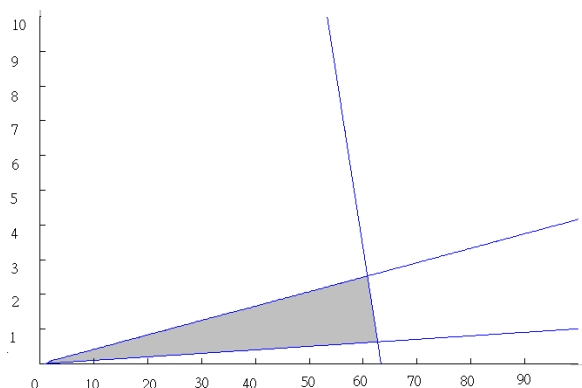
| 型式 | 被動式延遲濾波器 |
|-------------------|---|
| 性能指標 | |
| 鎖定範圍 ΔW_L | $\frac{1 + k_o k_d \tau_2}{\tau_1 + \tau_2}$ |
| 鎖定時間 T_L | $\frac{2f}{\sqrt{k_o k_d}} \sqrt{\tau_1 + \tau_2}$ |
| 噪音頻寬 B_L | $\frac{(1 + k_o k_d \tau_2)^2 + k_o k_d (\tau_1 + \tau_2)}{4(\tau_1 + \tau_2)(1 + k_o k_d \tau_2)}$ |

表一

選擇壓控振盪器增益 $k_o = 13000$ 及相位偵測器增益 $k_d = 1$ [1]。假設 W 、 T 及 B 為三給予正數,分別代表對上述性能的要求,根據表一公式可得到同

時滿足性能指標

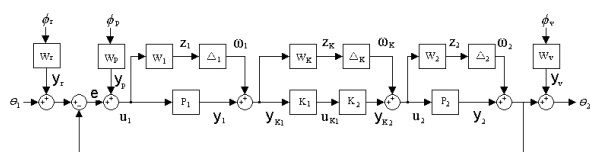
$\Delta W_L \succ W$, $T_L \prec T$, $B_L \prec B$
 的係數 t_1 與 t_2 的範圍(若無共同交集則可適當調整性能要求,再重新進行), 如圖二



圖二 被動式延遲濾波器係數 t_1, t_2 與性能指標 $W=100\text{Hz}$, $T=0.5\text{S}$ 及 $B=100\text{Hz}$ 的關係圖

針對這交集區域選擇其”中心位置”的係數來作為濾波器的設計參數,可加強鎖相性能的強健性。

接下來我們考慮迴路中有放大器[8]以及使用較高階的濾波器,而且迴路中各元件皆有內部擾動及外部雜訊干擾的情形,如下圖



圖三 具有加法性內部擾動及外部雜訊之鎖相迴路方塊圖

圖中 Δ_1 、 Δ_2 與 Δ_k 各自代表放大器 P_1 與壓控振盪器 P_2 的內部擾動,以及濾波器 $K=K_1K_2$ 的製造誤差, W_1 、 W_2 與 W_k 代表穩定的加權函數, W_r 、 W_p 與 W_v 代表適切(proper)穩定的加權矩陣, Φ_r 、 Φ_p 與 Φ_v 代表外部雜

訊,我們要設計一強健濾波器 K ,使得這鎖相迴路具有下面四個性能(i)在有內部擾動時保持內部穩定;(ii)在外部雜訊為零時,系統具備完美之步階及斜坡輸入的追蹤能力;(iii)儘可能擴大系統所能容忍之內部擾動範圍,亦即增加常態系統追蹤能力的強健性;(iv)抑制外部雜訊對追蹤性能的影響。我們引用了內部模型原理(internal model principle)以及混合的 H_2 (降低噪音頻寬 B_L)與 H_∞ 控制器合成方法來設計濾波器 K ,以下為濾波器設計的演算法。

步驟 1: 將濾波器 K 分解成 K_1 與 K_2

兩部份串聯,令 $K_2 = \frac{s+a}{s}$ 且選

擇 $a > 0$ 。(接下來 K_1 的設計不僅要使系統內部穩定,而且儘可能地擴大系統所能容忍的內部擾動的範圍,另外還要抑制外部雜訊的影響)

步驟 2: 將圖三的方塊圖轉換為 $\dot{A}-G-K_1$ 架構圖[16],得到一般化受控體 G 的狀態空間表示式。

步驟 3: 假設 x_∞ 為訊號 $\tilde{S} = (\tilde{S}_1, \tilde{S}_2, \tilde{S}_3)$

到 $z = (z_1, z_2, z_3)$ 的轉移函數的 H_∞ 範數之上界,而 x_2 則為 Φ_r 、 Φ_p 與 Φ_v 三個雜訊到追蹤誤差 e 的轉移函數的 H_2 範數之上界。選擇權重函數 $\gamma_1 > 0$ 及 $\gamma_2 > 0$ 。在一組 H_∞ 性能以及一組 H_2 性能之線性矩陣不等式的限制條件下[17],我們求解使目標函數 $\gamma_1 x_\infty + \gamma_2 x_2$ 最小(使用 LMI Control toolbox)。

步驟 4：將步驟 3 所得的變數解代入公式[17]得到 K_I 。

步驟 5：濾波器 $K = K_1 K_2$ 。

四、結論與討論

本計畫探討了鎖相迴路濾波器的設計問題。當使用傳統的一階濾波器時，我們可用圖解法來選擇濾波器係數，以加強各項性能的強健性。而當迴路中有放大器以及使用較高階的濾波器，而且迴路中各元件皆有內部擾動及外部雜訊干擾的情形時，我們將其轉換為強健追蹤控制問題，引用內部模型原理以及混合的 H_2 與 H_∞ 控制器合成方法來處理。

六、參考文獻

- [1] R. E. Best, Phase-locked loop: Design, Simulation, and Applications, McGraw-Hill International, 1997.
- [2] G.C. Hsieh and J.C. Huang, Phase-Locked Loop Techniques- A Survey, IEEE Trans on Industrial Electronics, vol. 43, no.6, pp. 609-615, 1996.
- [3] A. Abu-Rgheff, M.N. Sumartana, I.G.G, Carrier phase tracking in digital radio communications, Electronics Letters, vol. 34, pp. 2306-2307, 1998
- [4] C. Macabiau, B. Roturier, E. Chatre, R. Yazid, N-multipath performance of GPS receivers, Position Location and Navigation Symposium, IEEE 2000, pp. 41-48, 2000
- [5] A. De Gloria, D. Grosso, M. Olivieri, and G. Restani, A novel stability analysis of a PLL for timing recovery in hard disk drives, IEEE Trans. Circuits and Systems-I: Fundamental Theory and Applications, vol. 46, no. 8, pp. 1026-1031, 1999.
- [6] M.F. Lai, M. Nakano, and G.C. Hsieh, Application of Fuzzy logic in the phase-locked loop speed control of induction motor drive, IEEE Trans on Industrial Electronics, vol. 43, no.6, pp. 630-639, 1996.
- [7] J.W. Ahn, S.G. Oh, S.Y. Pyo, C.U. Kim, and Y.M. Hwang, Digital PLL technique for precise speed control of SR Drive,
- [8] M. Holtzman, M.S. Fadali, and B. Johnson, Robust Stability Analysis of a phase-locked loop voltage-controlled oscillator circuit, in Proc. American Control Conf., pp. 425-429, 1999.
- [9] J.W.M. Bergmans, Effect of loop delay on stability of discrete-time PLL, IEEE Trans. Circuits and Systems-I: Fundamental Theory and Applications, vol. 42, no. 4, pp. 229-231, 1995.
- [10] N. Margaris and P. Mastorocostas, On the nonlinear behavior of the analog phase-locked loop: Synchronization, IEEE Trans on Industrial Electronics, vol. 43, no.6, pp. 621-629, 1996.
- [11] C. Bonnet, J.R. Partington, and M. Sorine, Digital phase-locked loops tracked by a relay sensor, IEEE Trans. Communications, vol. 47, no. 5, pp. 667-669, 1999.
- [12] J. Gustrau and M.H. Hoffmann, Reducing the PLL noise bandwidth by a Digital split-loop, IEEE Communications Letters, vol.3, no. 4, pp. 111-112, 1999.
- [13] N.G. Kim and I.J. Ha, Design of ADPLL for both large lock-in range and good tracking performance, IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing, vol. 46, no. 9, pp. 1192-1204, 1999.
- [14] H.C. Chang, A. Borgioli, P.C. Yeh, and R.A. York, Analysis of oscillators with external feedback loop for improved locking range and noise reduction, IEEE Trans. Microwave Theory and Techniques, vol. 47, no. 8, pp. 1535-1543, 1999.
- [15] J.P. DE Villiers and L.P. Linde, Theoretical evaluation and simulation of a novel phase-locked loop with low phase noise and fast settling times, Proc. Of the IEEE. 1999.
- [16] K. Zhou and J. C. Doyle, *Essentials of Robust Control*, Prentice Hall, 1998.
- [17] C. Scherer, "Multiobjective output-feedback control via LMI optimization", IEEE Trans. Aut. Control, vol. 42, pp. 896-911, 1997.